

Rec'd PCT/PTO 18 FEB 2005  
10/524981

PCT/IB 03 / 03 189  
1 0. 07. 03



Europäisches  
Patentamt

European  
Patent Office

Office européen  
des brevets

MAILED 27 AUG 2003

WIPO

PCT

Bescheinigung

Certificate

Attestation

Die angehefteten Unterla-  
gen stimmen mit der  
ursprünglich eingereichten  
Fassung der auf dem näch-  
sten Blatt bezeichneten  
europäischen Patentanmel-  
dung überein.

The attached documents  
are exact copies of the  
European patent application  
described on the following  
page, as originally filed.

Les documents fixés à  
cette attestation sont  
conformes à la version  
initialement déposée de  
la demande de brevet  
européen spécifiée à la  
page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

02078438.5

**PRIORITY  
DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

Der Präsident des Europäischen Patentamts;  
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets  
p.o.

R C van Dijk



Anmeldung Nr:  
Application no.: 02078438.5  
Demande no:

Anmeldetag:  
Date of filing: 20.08.02  
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

Koninklijke Philips Electronics N.V.  
Groenewoudseweg 1  
5621 BA Eindhoven  
PAYS-BAS

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:  
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.  
If no title is shown please refer to the description.  
Si aucun titre n'est indiqué se referer à la description.)

In Anspruch genommene Priorität(en) / Priority(ies) claimed /Priorité(s)  
revendiquée(s)  
Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/  
Classification internationale des brevets:

H01L/

Am Anmeldetag benannte Vertragsstaaten/Contracting states designated at date of  
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR IE IT LI LU MC NL PT SE SK TR

Ferroelektrische inrichting en werkwijze ter vervaardiging vaneen dergelijke inrichting

EPO - DG 1

20. 08. 2002

(91)

De uitvinding heeft betrekking op een ferroelektrische inrichting met een lichaam omvattende een substraat en een ferroelektrische laag die aan een van het substraat afgewende zijde voorzien is van een aansluitgeleider, welke ferroelektrische laag een chalcogenide bevat en met behulp waarvan een geheugenelement gevormd is. Onder  
5 chalcogenide wordt in deze aanvraag begrepen een materiaal met de samenstelling  $A1_xA2_{1-x}B$  waarin A1 een of meer van de elementen Zn, Cd, Hg, Al, Ga, In of Tl omvat, A2 een of meer van de elementen Si, Ge, Sn en Pb omvat en B een of meer van de elementen S, Se, Te omvat en waarbij de waarde van x ligt tussen 0 en 1. Een dergelijke inrichting vormt een niet-vluchtig geheugen en is als zodanig een aantrekkelijk alternatief voor een niet-  
10 vluchtig halfgeleidergeheugen element, mede omdat het een zeer groot aantal malen uitgelezen kan worden. De uitvinding heeft tevens betrekking op een werkwijze ter vervaardiging van een dergelijke inrichting.

15 Een uitvoeringsvorm van een inrichting van een in de aanhef genoemde soort is bekend uit het Amerikaanse octrooischrift US 5.373.176 dat op 13 december 1994 gepubliceerd is. Daarin is een MFS (= Metal Ferroelectric Semiconductor) structuur beschreven die een ferroelektrische laag bevat die op een CdTe halfgeleidersubstraat is aangebracht en waarop zich een poort elektrode bevindt en waarmee een geheugenelement  
20 gevormd is dat een deel van het substraat omvat en twee in het substraat aanwezige gedoteerde gebieden. De ferroelektrische laag bevat een chalcogenide dat ZnCdTe omvat. Het voordeel van een dergelijke inrichting is dat dankzij een epitaxiale aangroei van de ferroelektrische laag op het substraat een kwalitatief hoogwaardig interface mogelijk is tussen het (CdTe) substraat en de (ZnCdTe) ferroelektrische laag hetgeen gewenst is voor een  
25 goede werking van de inrichting.

Een bezwaar van de bekende inrichting is dat deze vereist dat de ferroelektrische laag rechtstreeks op het (halfgeleider)substraat gegroeid wordt, waarbij het kristalrooster van het substraat goed aansluit op dat van de ferroelektrische laag, hetgeen met name lastig is indien het substraat Si bevat.

Het doel van de onderhavige uitvinding is dan ook om een inrichting van de in de aanhef genoemde soort te verschaffen die ook op substraten kan worden gevormd,

5 waarvan het kristalrooster niet goed aansluit op dat van de ferroelektrische laag.

Daartoe heeft volgens de uitvinding een inrichting van de in de aanhef genoemde soort het kenmerk dat zich tussen het substraat en de ferroelektrische laag een geleidende laag bevindt die een verdere aansluitgeleider van de ferroelektrische laag vormt en het geheugenelement gevormd is doordat de ferroelektrische laag een Schottky overgang  
10 vormt met tenminste een van de aansluitgeleider en de verdere aansluitgeleider.

De uitvinding berust allereerst op het inzicht dat epitaxiale aangroei niet noodzakelijk is voor het waarnemen van een geheugen effect in een ferroelektrisch materiaal. Ook indien het ferroelektrische materiaal polikristallijn is, kan dit toegepast worden indien de kristallen van de polykristallijn laag althans overwegend geordend zijn. De betreffende  
15 materialen vertonen dit gedrag waarbij een oriëntatie van de kristallen in de snelst groeiende richting het vaakst voorkomt. Omdat de polarisatie van de kristallen in dezelfde richting plaats vindt, bezitten de hier beschouwde materialen een netto polarisatie in de dikterichting. Bij deze materialen komt deze richting overeen met de  $\langle 111 \rangle$  as die dan ongeveer loodrecht staat op de dikterichting van een aangegroeide laag. Hierdoor mag zich ook een niet  
20 monokristallijne laag, zoals in het algemeen een geleidende of een isolerende laag is, tussen een monokristallijn substraat en de ferroelektrische laag bevinden. Zelfs is het zo dat het substraat niet monokristallijn behoeft te zijn.

Verder berust de uitvinding op het inzicht dat bij de keuze van een geleidende laag als tussenlaag en, indien deze als verdere aansluitgeleider fungeert, toch een

25 geheugenelement met behulp van de ferroelektrische laag gevormd is, mits tenminste een van de overgangen van de ferroelektrische laag met de aansluitgeleider en de verdere aansluitgeleider als een Schottky overgang is uitgevoerd. Hierdoor behoeft de ferroelektrische laag niet op het halfgeleidersubstraat aangebracht te worden hetgeen mede mogelijk maakt een inrichting met de gewenste eigenschappen op bijvoorbeeld een silicium  
30 substraat te vormen. Ladingsdragers kunnen door bij de Schottky overgang behorende Schottky barrière tunnels en de geleidbaarheid van het element kan beïnvloed worden door de polarisatie te veranderen waardoor het depletiegebied van grootte verandert. Het geheugenelement kan zeer vele malen geschakeld worden tussen twee toestanden.

Een belangrijk additioneel voordeel van een inrichting volgens de uitvinding is dat de vervaardiging ervan bijzonder compatible is met de voor de vervaardiging van inrichtingen van silicium gebruikelijke werkwijze. Deze werkwijze eindigt bij voorkeur met een zogenaamde temperstap in een waterstofatmosfeer. Dankzij het feit dat de chalcogenide materialen zoals gedefinieerd geen zuurstof bevatten is een dergelijke processtap toegestaan. Waterstof zou, indien de ferroelektrische laag zuurstof zou bevatten, gemakkelijk de stoichiometrie van de ferroelektrische laag beïnvloeden en daarmee de eigenschappen van die laag. Een (monokristallijn) silicium substraat vormt een aantrekkelijk substraat omdat dit integratie mogelijk maakt van additionele elektronische schakelingen met behulp van een standaard halfgeleidertechnologie.

In een voorkeursuitvoering van een inrichting volgens de uitvinding omvat het lichaam dan ook een halfgeleiderlichaam en omvat het substraat een halfgeleidersubstraat. Voor de integratie van andere halfgeleiderschakelementen is het voordelig als het halfgeleidersubstraat monokristallijn is. Een op zich zelf gebruikelijk substraat zoals een monokristallijn silicium substraat met een (100) oriëntatie is bijzonder geschikt.

In een bijzonder gunstige variant bevat een inrichting volgens de uitvinding tevens een veldeffect transistor met een source gebied, een drain gebied en een poortelektrode en fungeert de verdere aansluitgeleider tevens als aansluitgeleider van het source gebied of het drain gebied. Een dergelijke transistor is uitstekend geschikt om als selectiemiddel te fungeren indien de halfgeleiderinrichting een groot aantal geheugenelementen bevat, hetgeen in de praktijk vaak gewenst is. Bovendien is een dergelijke transistor zeer goed vervaardigbaar in met name de op silicium als halfgeleidersubstraat gebaseerde technologie. Dankzij het feit dat de verdere aansluitgeleider tevens als een van de aansluitgeleiders van de transistor fungeert, is de vervaardiging relatief eenvoudig. Bovendien kan de inrichting volgens de uitvinding indien het source gebied of het drain gebied en het geheugenelement zich in projectie gezien boven elkaar bevinden bijzonder compact zijn. Dit is een belangrijk verder voordeel. Zo kan het geheugenelement ook opgenomen zijn in een zogenaamde contact metaal plug die in veel (C)MOS (= Complementary Metal Oxide Semiconductor) processen gebruikelijk is. Deze zijn relatief dik en bevatten veelal een metaal als wolfram.

In een gunstige variant is de Schottky overgang gevormd tussen de verdere aansluitgeleider en de ferroelektrische laag en vormt deze een ohms contact met het source gebied of het drain gebied van de veldeffect transistor terwijl de aansluitgeleider een ohms contact met de ferroelektrische laag vormt. Hierdoor kan als aansluitgeleider aluminium

gebruikt worden, hetgeen een niet ongebruikelijke aansluitgeleider vormt in de silicium technologie. Doordat deze zich aan de buitenkant van de inrichting bevindt en dus in een laat stadium van de vervaardiging wordt aangebracht, ondervindt deze aansluitgeleider geen last van de relatief hoge temperaturen die in het begin van de vervaardiging vaak vereist zijn.

- 5 Platina dat geschikt is om een Schottky overgang te vormen met de ferroelektrische laag, is anderzijds ook geschikt om een ohms contact te vormen met een  $n^+$  gedoteerde source gebied of drain gebied van silicium.

- Geschikte materialen voor het materiaal van de aansluitgeleider die een Schottky overgang vormt met de ferroelektrische laag zijn Pt of Au. Als materiaal van de aansluitgeleider die een ohms contact met de ferroelektrische laag vormt zijn Ag of Al  
10 bijzonder geschikt.

- Gunstige resultaten zijn verkregen met een ferroelektrische laag die als chalcogenide  $Zn_xCd_{1-x}S$  bevat en bij voorkeur  $Zn_xCd_{1-x}S$  met een Zn gehalte  $x$  tussen 0.3 en 0.5. Bij voorkeur is de doteringsconcentratie van het chalcogenide nabij de aansluitgeleider  
15 of de verdere aansluitgeleider zo hoog gekozen dat een ohms contact met de ferroelektrische laag gevormd is terwijl overigens de doteringsconcentratie zo laag is dat tijdens bedrijf het elektrisch veld in de ferroelektrische laag in de geleidende toestand voldoende hoog is om het geheugenelement uit te schakelen.

- Bij voorkeur bevat de inrichting volgens de uitvinding een matrix van  $N \times M$   
20 geheugenelementen waarbij  $N$  en  $M$  natuurlijke getallen zijn en elk geheugenelement aan beide zijden verbonden is met een elektrische aansluiting. Aldus kan een geheugen gevormd zijn met een grote geheugencapaciteit. Hierbij is bij voorkeur elk geheugenelement gekoppeld aan een daarbij horende veldeffect transistor met een source gebied, een drain gebied en een poortelektrode, en is de inrichting voorzien van  $N$  eerste geleidersporen en  $M$   
25 tweede geleidersporen en van een aansluiting en is elk geheugenelement via de aansluitgeleider met een van de  $N$  eerste geleidersporen verbonden en via de verdere aansluitgeleider met het source gebied of drain gebied van de veldeffect transistor waarvan het drain gebied of het source gebied verbonden is met de aansluiting en is de poortelektrode van de veldeffect transistor verbonden met een van de  $M$  tweede geleidersporen. Door deze  
30 constructie is het uitlezen van de geheugenelementen mogelijk terwijl het aantal benodigde geleidersporen beperkt is. De aansluiting kan een gemeenschappelijke aansluiting zijn zoals een aardaansluiting.

Een werkwijze ter vervaardiging van een halfgeleiderinrichting volgens de uitvinding, waarbij een lichaam gevormd wordt met een substraat en de inrichting voorzien

wordt van een ferroelektrische laag die voorzien wordt van een aansluitgeleider, voor welke ferroelektrische laag als materiaal een chalcogenide gekozen wordt en met behulp waarvan een geheugenelement gevormd wordt, heeft het kenmerk, dat tussen het substraat en de aansluitgeleider van de ferroelektrische laag gevormd wordt en het geheugenelement gevormd wordt doordat tussen de ferroelektrische laag en tenminste een van de aansluitgeleiders een Schottky overgang gevormd wordt. Aldus wordt op eenvoudige wijze een ferroelektrische inrichting verkregen met de hierboven besproken voordelen. In een voorkeursuitvoering wordt het lichaam als een halfgeleiderlichaam gevormd en wordt voor het substraat een halfgeleidersubstraat gekozen, welke bij voorkeur monokristallijn is en wordt in het halfgeleiderlichaam een veldeffect transistor met een source gebied, een drain gebied en een poortelektrode gevormd en wordt de verdere aansluitgeleider op het source gebied of het drain gebied van de veldeffect transistor aangebracht en tot aansluitgeleider daarvan gevormd.

In een gunstige variant wordt de Schottky overgang gevormd tussen de verdere aansluitgeleider en de ferroelektrische laag waarbij de verdere aansluitgeleider tevens als aansluitgeleider van het source gebied of het drain gebied fungeert, terwijl tussen de aansluitgeleider en de ferroelektrische een ohms contact gevormd wordt. Bij voorkeur wordt een matrix van  $N \times M$  geheugenelementen gevormd waarbij  $N$  en  $M$  uit de natuurlijke getallen gekozen worden en wordt elk geheugenelement aan beide zijden van een elektrische aansluiting voorzien en wordt elk geheugenelement gekoppeld aan een in de inrichting gevormde en bij het geheugenelement horende veldeffect transistor met een source gebied, een drain gebied en een poortelektrode en wordt de inrichting voorzien van  $N$  eerste geleidersporen en  $M$  tweede geleidersporen en van een aansluiting en wordt elk geheugen element via de aansluitgeleider met een van de  $N$  eerste aansluitsporen verbonden en via de verdere aansluitgeleider met het source gebied of het drain gebied van de bijbehorende veldeffect transistor verbonden waarvan andere van het drain gebied of het source gebied gekoppeld wordt aan de aansluiting en wordt de poortelektrode van de veldeffect transistor gekoppeld aan een van de  $M$  tweede geleidersporen. De aansluiting is bij voorkeur een gemeenschappelijke aansluiting zoals een aardaansluiting.

De uitvinding zal thans nader worden toegelicht aan de van een uitvoeringsvoorbeeld en de tekening, waarin

figuur 1 schematisch en in een dwarsdoorsnede loodrecht op de dikterichting een ferroelektrische inrichting volgens de uitvinding toont,

figuur 2 de stroom-spanningskarakteristiek vertoont van het geheugenelement van de inrichting van figuur 1, en

figuur 3 schematisch de schakeling toont van de inrichting van figuur 1

De figuren zijn niet op schaal getekend en sommige afmetingen, zoals  
5 afmetingen in de dikterichting zijn ter wille van de duidelijkheid overdreven weergegeven. Overeenkomstige gebieden of onderdelen zijn in de verschillende figuren zoveel mogelijk van hetzelfde verwijzingscijfer voorzien.

Figuur 1 toont schematisch en in een dwarsdoorsnede loodrecht op de  
dikterichting een ferroelektrische inrichting 10 volgens de uitvinding. De inrichting 10 heeft  
10 hier een halfgeleiderlichaam 11 dat een halfgeleidersubstraat 1 bevat. Verder bevat dit een ferroelektrische laag 2 die aan een van het substraat 1 afgewende zijde voorzien is van een aansluitgeleider 3. Met behulp daarvan is een geheugenelement 4 gevormd en het ferroelectricum 2 omvat een chalcogenide.

Volgens de uitvinding bevindt zich tussen het halfgeleidersubstraat 1 en de  
15 ferroelektrische laag 2 een geleidende laag 5, bij voorkeur een metaallaag 5, die een verdere aansluitgeleider 5 van de ferroelektrische laag 2 vormt en is het geheugenelement 4 gevormd doordat de ferroelektrische laag 2 een Schottky overgang vormt met tenminste een van de aansluitgeleiders 3,5. Een dergelijke inrichting 10 kan bijzonder gemakkelijk op een  
halfgeleidersubstraat 1 van silicium gevormd worden en bezit toch een geheugenelement 4  
20 met uitstekende eigenschappen zoals verderop duidelijk zal worden. Een belangrijk additioneel voordeel van een inrichting 10 volgens de uitvinding is dat de vervaardiging ervan bijzonder compatible is met de voor de vervaardiging van silicium inrichtingen gebruikelijke werkwijze. Deze werkwijze eindigt met voordeel met een temperstap in een waterstof atmosfeer. Dankzij het feit dat de chalcogenide materialen zoals gedefinieerd geen

25 zuurstof bevatten is een dergelijke temperstap toegestaan. Waterstof zou indien de ferroelektrische laag 2 zuurstof zou bevatten gemakkelijk de stoechiometrie van de ferroelektrische laag beïnvloeden en daarmee de eigenschappen van die laag 2.

In dit voorbeeld bevat de inrichting 10 tevens een veldeffect transistor 6 met een source gebied 7, een drain gebied 8 en een poortelektrode 9 en bevindt zich de verdere  
30 aansluitgeleider 5 op het source gebied of het drain gebied, hier het source gebied 7 van de transistor 6 en fungeert tevens als aansluitgeleider van het source gebied 7 of het drain gebied 8. Hier ligt - gezien in een projectie loodrecht op de dikterichting - het geheugenelement 4 binnen het source gebied of het drain gebied, hier het drain gebied 7. De inrichting 10 is daardoor compact en relatief gemakkelijk te vervaardigen. De aanwezigheid van een



veldeffect transistor 6 is van groot voordeel indien de inrichting 10 - zoals in dit voorbeeld - een groot aantal geheugenelementen 4 bevat en elk geheugenelement 4 gekoppeld is aan een veldeffect transistor zoals in figuur 1 is weergegeven. De inrichting 10 van dit voorbeeld vormt dus een halfgeleidergeheugen met een groot aantal geheugenelementen 4 waarvan er in

5 figuur 1 slechts een is weergegeven.

In de inrichting 10 van dit voorbeeld is de Schottky overgang gevormd tussen de verdere aansluitgeleider 5, hier een platina laag 5, en de ferroelektrische laag 2, hier een  $\text{Zn}_x\text{Cd}_{1-x}\text{S}$  laag 2 met een Zn gehalte  $x$  van ongeveer 40 at. %. Het platina 5 vormt via een dunne hier 10 nm, als barrière fungerende, Ti laag 15 met het source gebied 7 van transistor 6

10 een ohms contact. De aansluitgeleider 3 vormt met de ferroelektrische laag 2 een ohms contact en bevat hier Ag. De diktes van de lagen zijn 100 nm voor de  $\text{Zn}_x\text{Cd}_{1-x}\text{S}$  laag 2, 50 nm voor de Pt laag 5 en 50 nm voor de Ag laag 3. De laterale afmetingen van het geheugenelement 4 zijn in dit voorbeeld  $100\text{ }\mu\text{m} \times 100\text{ }\mu\text{m}$ . Een geschikte dikte voor de  $\text{Zn}_x\text{Cd}_{1-x}\text{S}$  ligt tussen 25 nm en 500 nm. De doteringsconcentratie van de  $\text{Zn}_x\text{Cd}_{1-x}\text{S}$  laag 2 is

15 zodanig gekozen dat deze enerzijds voldoende hoog is om een ohms contact tussen de verdere aansluitgeleider 5 en de ferroelektrische laag 2 mogelijk te maken. Anderzijds moet de doteringsconcentratie niet zo hoog gekozen zijn dat tijdens bedrijf het elektrisch veld in de ferroelektrische laag 2 in de geleidende toestand onvoldoende hoog is om het geheugenelement 4 uit te schakelen. Het bedrijf van de inrichting 10 en in het bijzonder het

20 geheugenelement 4 zal hierna geïllustreerd worden aan de hand van figuur 2.

Figuur 2 toont de stroom-spanningskarakteristiek van het geheugenelement 4 van de inrichting 10 van dit voorbeeld. Beginnend bij de oorsprong in een toestand van lage impedantie van het element 4 stijgt de stroom  $I$  wanneer de spanning  $V$  toeneemt volgens curve 21. Bij punt A wanneer de spanning ongeveer +0,3 Volt bedraagt verandert de  $\text{Zn}_x\text{Cd}_{1-x}\text{S}$  laag 2 van polarisatie en schakelt het element 4 naar de toestand van een hoge impedantie.

25 Een verdere toename van de spanning  $V$  heeft geen verdere invloed. Wanneer de spanning  $V$  verlaagd wordt blijft het element 4 in de hoge impedantie toestand van curve 22 totdat de sper schakel spanning is bereikt bij ongeveer - 0,1 Volt, in de figuur aangeduid met punt B. Vanaf dat moment is het element (weer) in de lage impedantie toestand van curve 21. Een

30 verdere afname van de spanning  $V$  tot - 0,4 Volt heeft geen verdere invloed. Het bedrijf van de inrichting 10 zal dan normaliter als volgt zijn: zet het element 4 met een korte spanningspuls van + 0,4 Volt in de hoge impedantie toestand ("0") en met een korte spanningspuls van -0,4 Volt in de lage impedantie toestand ("1"). Lees de impedantie van het element 4 bij een lage spanning  $V$  zoals een spanning  $V$  waarvan de absolute waarde kleiner

is dan ongeveer 0.1 Volt. Zoals reeds opgemerkt bevat de inrichting 10 een groot aantal geheugenelementen 4 waarvan er een viertal zijn weergegeven in fig. 3.

Figuur 3 toont schematisch de schakeling toont van de inrichting 10 van dit voorbeeld. De inrichting 10 omvat een aantal, bijvoorbeeld 100, eerste geleidersporen 20 waarvan er in figuur 3 twee zijn weergegeven en een aantal, hier eveneens 100, tweede geleidersporen 30 waarvan er in figuur 3 eveneens twee zijn weergegeven. Elk element 4 is via aansluitgeleider 3 verbonden met een van de eerste aansluitsporen 20 en via de verdere aansluitgeleider 5 met het source gebied 7 van de transistor 6. Het drain gebied 8 van de transistor 6 is met een aansluiting 40, hier een aardaansluiting 40, verbonden terwijl de poortelektrode 9 van de transistor 6 verbonden is met een van de tweede geleidersporen 30. Aldus kan via de transistor 6 door een spanning op de poortelektrode 9 te zetten het bijbehorende element 4 geselecteerd worden om de impedantie toestand in te stellen en/of uit te lezen.

De inrichting 10 van dit voorbeeld wordt als volgt vervaardigd met behulp van een werkwijze volgens de uitvinding. Uitgegaan wordt (zie figuur 1) van een (100) silicium substraat 1 met een p-type dotering een lage doteringsconcentratie. Daarin wordt met op zich zelf bekende en gebruikelijke processen een N-MOS transistor 6 gevormd met n-type source gebieden 7 en drain gebieden 8 die omgeven zijn door LOCOS (= LOCAL Oxidation of Silicon) gebieden 12. Daaronder is hier, aan de zijde van het drain gebied 8, een deel van een n-type gebied 13 te zien, waarin een - niet in de tekening weergegeven - complementaire P-MOS transistor gevormd is. De poortelektrode 9 is van n-type polykristallijn silicium en omgeven door siliciumdioxide en/of siliciumnitride bevattende isolerende lagen 14. Op het source gebied 7 en het drain gebied 8 wordt met behulp van bijvoorbeeld sputteren een titaan laag 15 en een platina laag 5 aangebracht die een ohms contact vormen met deze gebieden.

Plaatselijk, hier ter plaatse van het source gebied 7, wordt daarop een  $Zn_xCd_{1-x}S$  laag aangebracht met behulp van PLD (= Pulsed Laser Deposition). Deze techniek is bijzonder geschikt om  $Zn_xCd_{1-x}S$  met een stoichiometrische samenstelling, hier met 40 at.% Cd, aan te brengen. Ter plaatse van het source gebied 7 wordt op de - in patroon gebrachte,  $Zn_xCd_{1-x}S$  laag 2 een zilver laag 3 aangebracht die een ohms contact vormt met de  $Zn_xCd_{1-x}S$  laag 2. De geleidende lagen 3,5 worden van de eerste en tweede geleidersporen 20,30 gescheiden met behulp van een - niet in de tekening weergegeven - siliciumdioxide laag die bijvoorbeeld door middel van CVD (= Chemical Vapour Deposition) wordt aangebracht. Hetzelfde geldt voor de onderlinge isolatie van de eerste en tweede geleidersporen 20,30 die zoals in figuur 3 weergegeven met elke transistor 6 en elk geheugenelement 4 verbonden worden. De

vervaardiging wordt voltooid met het aanbrengen van een - eveneens niet in de tekening weergegeven - siliciumnitride bescherm laag waarna de inrichting 10 getemperd wordt met behulp van een temper stap in een waterstof atmosfeer.

5 De uitvinding is niet beperkt tot het beschreven uitvoeringsvoorbeeld daar voor de vakman binnen het kader van de uitvinding vele variaties en modificaties mogelijk zijn. Zo kunnen inrichtingen vervaardigd worden met een andere geometrie en/of andere afmetingen. Ook kunnen met name voor de aansluitgeleiders andere materialen gekozen zijn zoals hafniumcarbide of andere binaire materialen.

10 Wat hierboven is opgemerkt met betrekking tot de inrichting geldt evenzeer voor de vervaardiging daarvan. Behalve de genoemde technieken voor het aanbrengen van de ferroelektrische laag komen ook MBE (= Molecular Beam Epitaxy), (MO)VPE (= (Metal Organic) Vapour Phase Epitaxy of CVD (= Chemical Vapour Deposition) of sputteren in aanmerking.

15 Uitdrukkelijk wordt opgemerkt dat de inrichting in plaats van een Schottky overgang en een ohms contact ook twee Schottky overgangen mag bevatten.

Verder wordt opgemerkt dat de inrichting verdere actieve en passieve halfgeleiderelementen zoals dioden en/of transistoren en weerstanden en/of capaciteiten kan bevatten. Daarmee kunnen met voordeel additionele schakelingen gevormd zijn die additionele functies kunnen vervullen.

20 Tot slot wordt nogmaals opgemerkt dat een inrichting volgens de uitvinding ook met voordeel een geleider zoals een metaal of een isolator zoals glas als substraat kan bevatten.

25 De uitvinding heeft betrekking op een ferroelektrische inrichting 10 met een lichaam 11 dat een substraat 1 bevat en omvattende een ferroelektrische laag 2 die aan een van het substraat 1 afgewende zijde voorzien is van een aansluitgeleider 3, die een chalcogenide bevat en met behulp waarvan een geheugenelement 4 gevormd is. Een dergelijke inrichting vormt een aantrekkelijk niet vluchtig - ferroelektrisch geheugen 4. Volgens de uitvinding bevindt zich tussen het substraat 1 en de ferroelektrische laag 2 een geleidende laag 5 die een verdere aansluitgeleider 5 van de ferroelektrische laag 2 vormt en is 30 het geheugenelement 4 gevormd doordat de ferroelektrische laag 2 een Schottky overgang vormt met tenminste een van de aansluitgeleiders. Een dergelijke inrichting 10 blijkt een in de praktijk goed bruikbaar geheugenelement 4 te bevatten en kan gemakkelijk op een (monokristallijn) silicium substraat 1 of op een ander substraat aangebracht worden. Bij

voorkeur omvat de inrichting 10 verder een veldeffect transistor 6 en bevindt zich het element 4 op het source gebied 7 of het drain gebied 8 daarvan.

## CONCLUSIES:

20. 08. 2002

(91)

1. Ferroelektrische inrichting met een lichaam omvattende een substraat en een ferroelektrische laag die aan een van het substraat afgewende zijde voorzien is van een aansluitgeleider, welke ferroelektrische laag een chalcogenide bevat en met behulp waarvan een geheugenelement gevormd is, met het kenmerk, dat zich tussen het substraat en de  
5 ferroelektrische laag een geleidende laag bevindt die een verdere aansluitgeleider van de ferroelektrische laag vormt en het geheugenelement gevormd is doordat de ferroelektrische laag een Schottky overgang vormt met tenminste een van de aansluitgeleider en de verdere aansluitgeleider.
- 10 2. Ferroelektrische inrichting volgens conclusie 1, met het kenmerk, dat het lichaam een halfgeleiderlichaam omvat en het substraat een halfgeleidersubstraat omvat.
- 3 Ferroelektrische inrichting volgens conclusie 2, met het kenmerk, dat het halfgeleiderlichaam een veldeffect transistor met een source gebied, een drain gebied en een  
15 poortelektrode bevat en de verdere aansluitgeleider een aansluitgeleider van het source gebied of het drain gebied vormt.
4. Ferroelektrische inrichting volgens conclusie 3, met het kenmerk, dat het geheugenelement in een projectie loodrecht op het substraat gezien binnen het source gebied  
20 of het drain gebied ligt.
5. Ferroelektrische inrichting volgens conclusie 3, met het kenmerk, dat de Schottky overgang gevormd is tussen de verdere aansluitgeleider en de ferroelektrische laag, en de verdere aansluitgeleider een ohms contact vormt met het source gebied of het drain  
25 gebied van de veldeffect transistor terwijl de aansluitgeleider een ohms contact vormt met de ferroelektrische laag.
6. Ferroelektrische inrichting volgens conclusie 1, met het kenmerk, dat de ferroelektrische laag een Schottky overgang vormt met één van de aansluitgeleider en de

verdere aansluitgeleider welke één van de aansluitgeleider en de verdere aansluitgeleider een materiaal omvattende Pt en Au bevat, en de ferroelektrische laag een ohms contact vormt met een andere van de aansluitgeleider en de verdere aansluitgeleider welke andere van de aansluitgeleider en de verdere aansluitgeleider een materiaal omvattende Ag en Al bevat.

5

7. Ferroelektrische inrichting volgens conclusie 1, met het kenmerk, dat het chalcogenide  $Zn_xCd_{1-x}S$  bevat.

8. Ferroelektrische inrichting volgens conclusie 7, met het kenmerk, dat x een  
10 waarde tussen 0.3 en 0.5 heeft.

9. Ferroelektrische inrichting volgens conclusie 1, met het kenmerk, dat de doteringsconcentratie van het chalcogenide nabij de aansluitgeleider of de verdere aansluitgeleider zo hoog is dat een contact daarvan met de ferroelektrische laag ohms is en  
15 overigens zo laag is dat tijdens bedrijf het elektrisch veld in de ferroelektrische laag in de geleidende toestand voldoende hoog is om het geheugenelement uit te schakelen.

10. Ferroelektrische inrichting volgens conclusie 1, met het kenmerk, dat deze een matrix omvat van N x M geheugenelementen waarbij N en M natuurlijke getallen zijn en de  
20 aansluitgeleider en de verdere aansluitgeleider van elk geheugenelement verbonden zijn met een elektrische aansluiting.

11. Ferroelektrische inrichting volgens conclusie 10, met het kenmerk, dat elk  
~~geheugenelement gekoppeld is aan een daarbij horende veldeffect transistor met een source~~  
25 gebied, een drain gebied en een poortelektrode, de inrichting voorzien is van N eerste geleidersporen, M tweede geleidersporen en van een aansluiting, elk geheugenelement via de betreffende aansluitgeleider met een van de N eerste geleidersporen verbonden is en via de betreffende verdere aansluitgeleider met één van het source gebied en het drain gebied van de veldeffect transistor waarvan een andere van het source gebied en het drain gebied verbonden  
30 is met de aansluiting terwijl de betreffende poortelektrode verbonden is met een van de M tweede geleidersporen.

12. Werkwijze ter vervaardiging van een ferroelektrische inrichting volgens een der voorafgaande conclusies, waarbij een lichaam gevormd wordt met een substraat en de

inrichting voorzien wordt van een ferroelektrische laag die aan een van het substraat afgewende zijde voorzien wordt van een aansluitgeleider, voor welke ferroelektrische laag als materiaal een chalcogenide gekozen wordt en met behulp waarvan een geheugenelement gevormd wordt, met het kenmerk, dat tussen het substraat en de ferroelektrische laag een geleidende laag wordt aangebracht waarmee een verdere aansluitgeleider van de ferroelektrische laag aangebracht wordt en het geheugenelement gevormd wordt doordat tussen de ferroelektrische laag en tenminste een van de aansluitgeleiders een Schottky overgang gevormd wordt.

UITTREKSEL:

EPO - DG 1

20. 08. 2002

(91)

De uitvinding heeft betrekking op een ferroelektrische inrichting (10) met een lichaam (11) dat een substraat (1) bevat en omvattende een ferroelektrische laag (2) die aan een van het substraat (1) afgewende zijde voorzien is van een aansluitgeleider (3), die een chalcogenide bevat en met behulp waarvan een geheugenelement (4) gevormd is. Een

5 dergelijke inrichting vormt een aantrekkelijk niet vluchtig - ferroelektrisch geheugen (4). Volgens de uitvinding bevindt zich tussen het substraat (1) en de ferroelektrische laag (2) een geleidende laag (5) die een verdere aansluitgeleider (5) van de ferroelektrische laag (2) vormt en is het geheugenelement (4) gevormd doordat de ferroelektrische laag (2) een Schottky overgang vormt met tenminste een van de aansluitgeleiders (3,5). Een dergelijke inrichting

10 (10) blijkt een in de praktijk goed bruikbaar geheugenelement (4) te bevatten en kan gemakkelijk op een (monokristallijn) silicium substraat (1) of op een ander substraat aangebracht worden. Bij voorkeur omvat de inrichting (10) verder een veldeffect transistor (6) en bevindt zich het element (4) op het source gebied (7) of het drain gebied (8) daarvan.

15    Figuur 1.

---



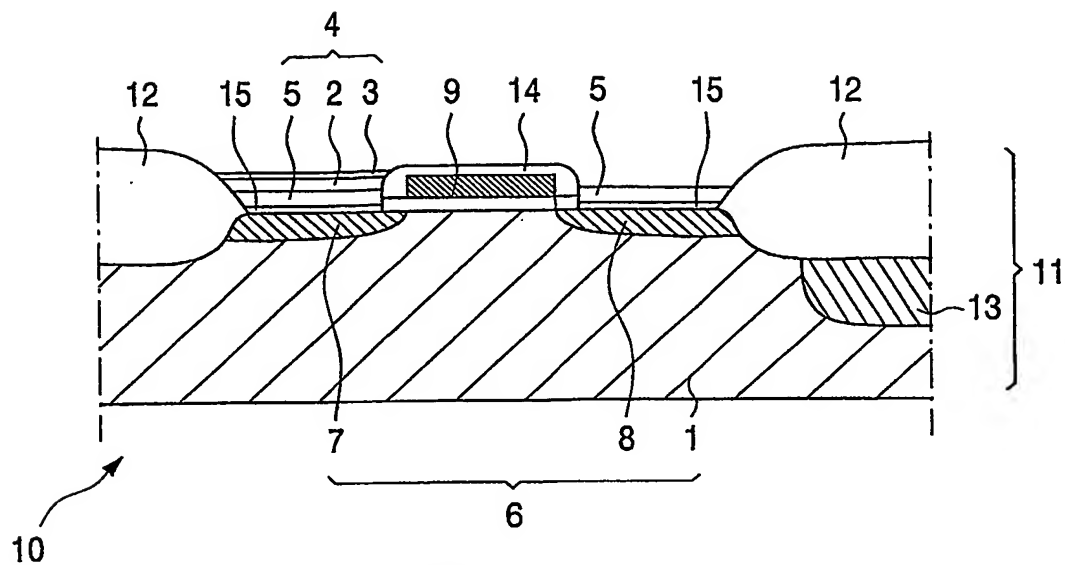


Fig.1

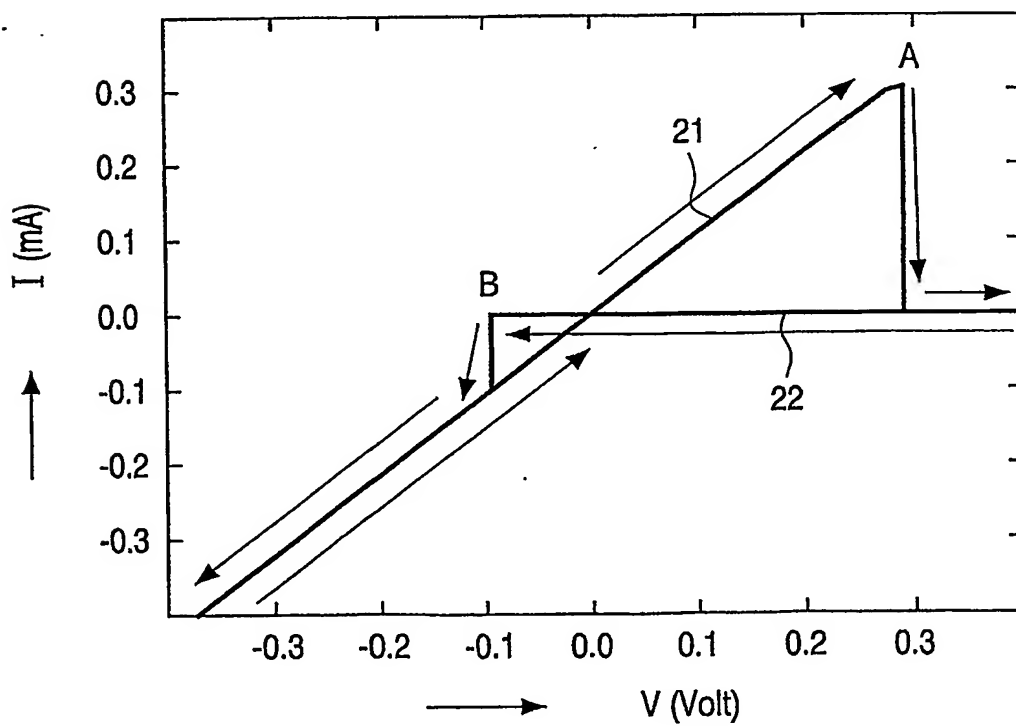


Fig.2

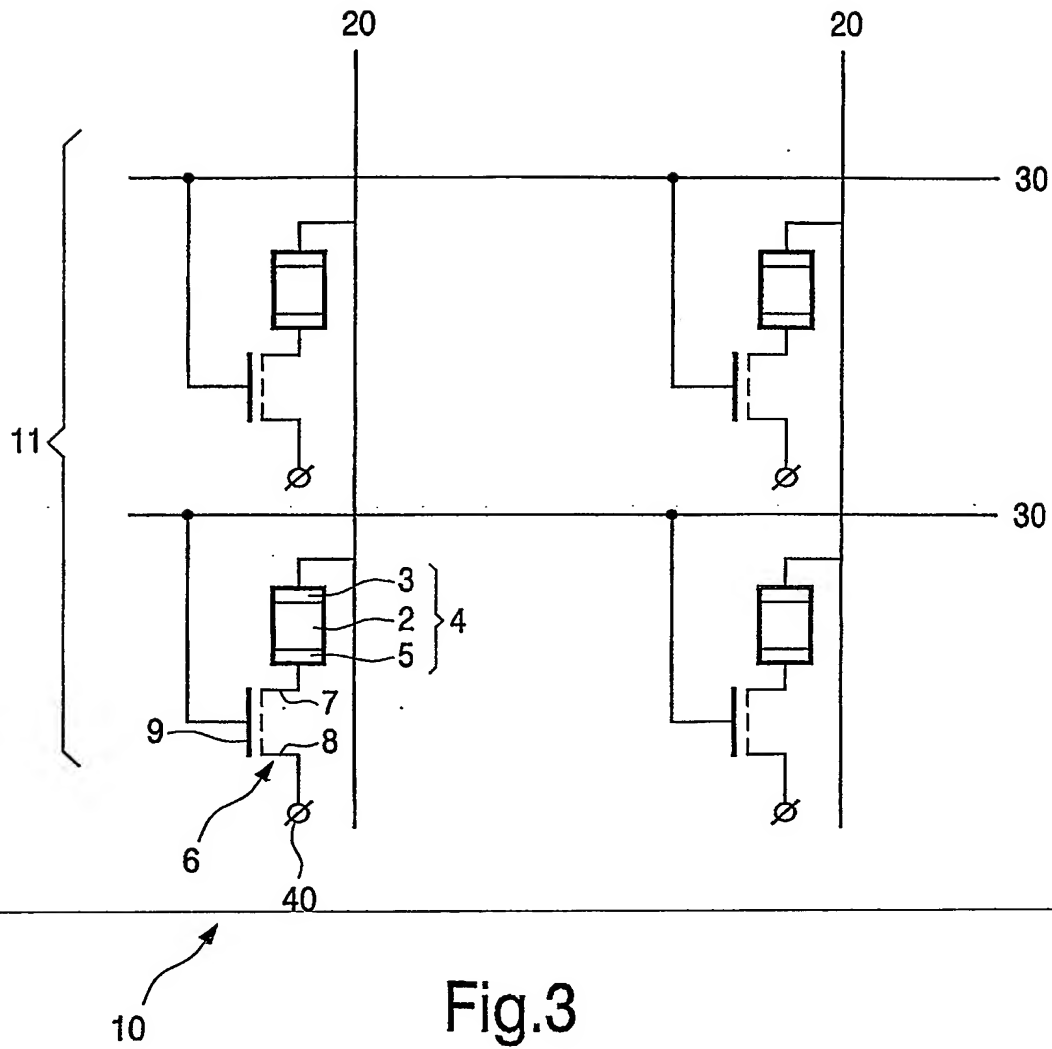


Fig.3

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**